

Atelier-Conférence  
**Sécurité et Architecture Risc-V**



## **Programme**

\*\*\*\*\*

**13h30 : Etat de l'Art sur le Risc-V**  
**Olivier Sentieys**, Directeur de recherche, **Inria**

**14h00 : RISC-V, Point de vue d'un industriel**  
**Jérôme Quevremont**, Responsable Risc-V et Open hardware, **Thales**

**RISC-V, PEPR Cybersécurité - ARSENE**  
**14h30 : Vers des processeurs d'applications RISC-V intrinsèquement sécurisés**  
**Olivier Savry**, Expert en sécurité des systèmes embarqués, **CEA**

**15h00 : Méthodes et outils pour la conception et le déploiement d'une implémentation RISC-V sécurisée**  
**David Hely**, Professeur, **Grenoble INP, LCIS**

**15h30**  
**Pause Networking**

**16h00 : RISC-V, Sécurité des objets**  
**Serge Maginot**, Président, **Tiempo Secure**

**16h30 : Enjeux techniques pour la sécurisation des composants au travers de RISC-V**  
**Eric Saliba**, Responsable de la division scientifique et technique, **ANSSI**

**17h00 : RISC-V, Gouvernance et futur industriel**  
**Emmanuel Gureghian**, Responsable laboratoires systèmes embarqués critiques, **Thales**  
**Thierry Lelégard**, Responsable de la sécurité des plateformes, **SiPearl**  
**Sylvain Mousset**, Chef du Bureau Technologies et Innovation **ANSSI**  
**Marion Andrillat**, Responsable de partenariats Industriels, **CEA LETI**  
**Jean-Eric Michallet**, Chargé de mission électronique, **DGE**

**17h45 : Conclusion & Clôture**  
PTCC & ANSSI

\*\*\*\*\*

16 Mai 2024 - 13h30 - 18h00

Forum du Campus Cyber, La Défense - [Accès](#)

